半導体量子コンピュータの設計、論理合成、制御の最前線

Exchange-only・パルス列への論理合成・4K クライオCMOS の命令セット

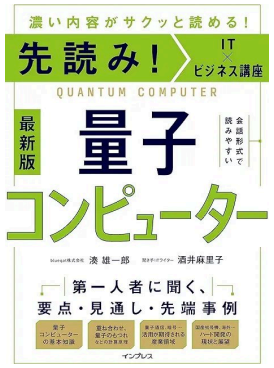
blueqat株式会社　代表取締役 CEO　湊 雄一郎

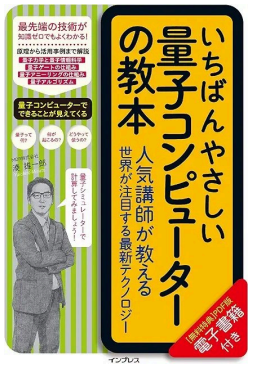
Design Solution Forum 2026　2026年10月6日

blueqat株式会社

所在地	東京都渋谷区 渋谷スクランブルスクエア 39F
設立	2008年12月
事業	量子コンピュータ開発／生成AI・量子機械学習／コンサルティング
役割	SEMI 量子コンピュータ協議会 委員長 半導体量子コンピュータ設計協議会 設立（2026年8月）
パートナー	NVIDIA 量子パートナー／Amazon 量子パートナー

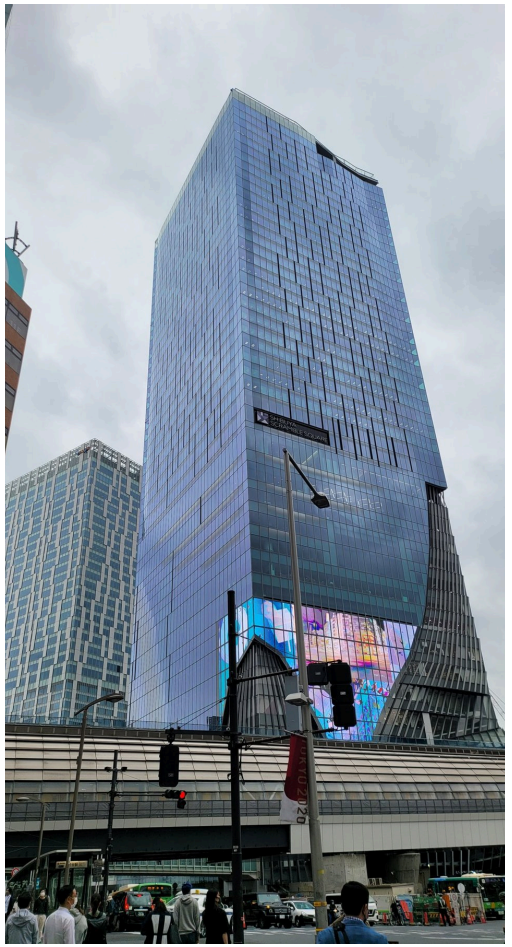
量子のソフトウェアから入り、論理設計・合成・制御の層へ











今日の話：量子ビットの「設計・論理合成・制御」

半導体量子コンピュータの課題は、EDA が半世紀かけて解いてきた問題とほぼ同じ形をしています。

1　設計

量子ドット素子と PDK

- 2D ドット配列の物理レイアウト
- 量産ラインと PDK の流用
- Intel 18A の事例

2　論理設計・論理合成（中心）

回路 → 交換パルス列

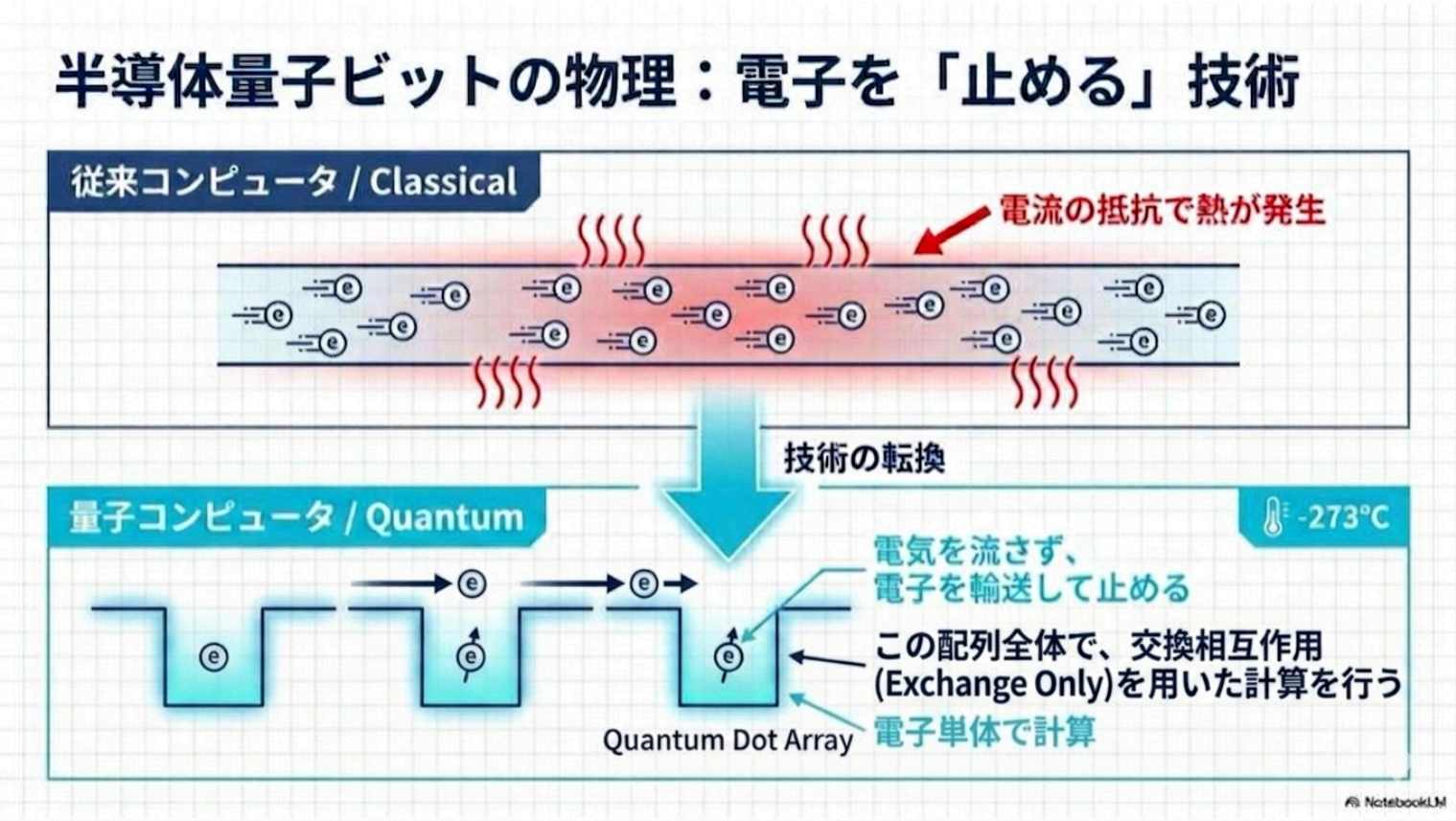
- Exchange-only の符号化
- X ゲートを回転3回で作る導出
- 時間発展の合成・配置・スケジュール

3　制御

4K クライオCMOS と ISA

- 配線爆発と置き場所
- 熱の予算
- 命令セットと誤り訂正

半導体量子ビット：電子を「流す」から「止める」へ



- Si/SiGe ヘテロ構造の2次元電子ガスに、ゲート電極の電圧で井戸を作る。クーロン閉塞で電子数を1個に固定
- 電子のスピンを量子ビットに。読み出しはパウリスピン閉塞＋電荷センサー（スピンを電荷に変えて読む）
- 雑音源は核スピン（^{29}Si）と電荷雑音。同位体純化 ^{28}Si で前者を減らす
- 寸法はトランジスタ級。CMOS の量産工程で作れる

コヒーレンスの目安

T_2^* 約3.5µs（HRL 2023）／約25µs（Intel、^{29}Si 50ppm）。ゲート1本 約10ns なので、数百本は打てる

図：blueqat 作成（NotebookLM で作図）。T_2^* 3.5µs は A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3／25µs は R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05

スピンの操作には3つの方式がある

何で回すかで、チップの外に要る装置と配線が決まります。
量産とスケールには、電圧だけで済む Exchange-only が有利です。

	単一スピン	シングレット・トリプレット	Exchange-only
1量子ビットの素材	ドット1個（Loss–DiVincenzo）	ドット2個（シングレット・トリプレット）	ドット3個（Exchange-only）
回転の軸と機構	ゼーマン分裂の共鳴。ESR／EDSR（マイクロ磁石の勾配で電場駆動）	交換 J（Z 軸）と磁場勾配 ΔB_z（X 軸）	J_{12}（Z 軸）と J_{23}（120° の n 軸）。磁場勾配が要らない
外に要るもの	マイクロ波源・マイクロ磁石・磁場	マイクロ波源または勾配用磁石	DAC（ベースバンド）だけ
冷凍機への配線	同軸（GHz）	同軸（GHz）	普通の配線・リボンケーブル（〜100MHz 級）
代償	マイクロ波の発熱・相関エラー	勾配の作り込み	ドット3倍、ゲート1つにパルスが多い → 論理合成が要

単一スピン：D. Loss, D. P. DiVincenzo, "Quantum computation with quantum dots", Phys. Rev. A 57, 120 (1998)／シングレット・トリプレット：J. R. Petta et al., "Coherent manipulation of coupled electron spins in semiconductor quantum dots", Science 309, 2180 (2005)／Exchange-only：D. P. DiVincenzo, D. Bacon, J. Kempe, G. Burkard, K. B. Whaley, "Universal quantum computation with the exchange interaction", Nature 408, 339–342 (2000), doi:10.1038/35042541

従来の半導体設計と、量子ドットの設計

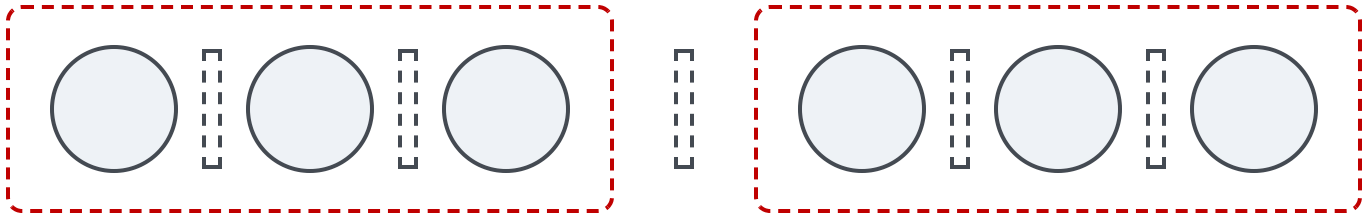
工程・配線層・検証の道具立てはそのまま使える。 違うのは「何を合わせ込むか」と「どの温度で動くか」です。

	従来のロジック設計	量子ドットの設計
基本素子	トランジスタ（オン/オフ）	プランジャー電極の下の量子ドット（電子1個）＋障壁電極
合わせ込むもの	しきい値・駆動電流・遅延	電子数（電荷安定図の (1,1) 領域）・トンネル結合 t_c・**交換 $J \approx 4t_c^2/U$**
ばらつき	タイミングの余裕で吸収	電極ごとの静電クロストークを**仮想ゲート**（電圧の線形変換）で打ち消し、1素子ずつ自動チューニング
微細化の効き方	集積度が上がる	ピッチは 50〜70nm でほぼ固定。**精度とばらつき**に効く
信号	デジタル・クロック同期	ns 級の電圧パルス・ps 級の刻み
検証	DRC・LVS・寄生抽出・STA	同じ道具＋**クロストーク**・低温モデル・忠実度

量子ドットの物理（電荷安定図・仮想ゲート・$J \approx 4t_c^2/U$）の解説：G. Burkard, T. D. Ladd, A. Pan, J. M. Nichol, J. R. Petta, "Semiconductor spin qubits", Rev. Mod. Phys. 95, 025003 (2023)

PDK／EDA で描く 2D ドット配列

Exchange-only 前提の物理レイアウトは、ドット3個＋障壁ゲートを1単位にした繰り返し。 スタンダードセルと同じ発想で並べます。



◯ 量子ドット（プランジャーゲート）　┆ 障壁ゲート（J のオン・オフ）　赤枠 = 1論理量子ビット　ドットのピッチ 約60nm

ピッチは縮めない

ドット間は 50〜70nm で固定。トンネル結合 t_c は距離で指数関数的に変わるので、**寸法精度とばらつきの抑制**に微細加工を使う

材料

Si/SiGe の歪み量子井戸（Si 10nm 以下）。同位体純化 ^{28}Si で核スピン雑音を減らし、**バレー分裂**を熱・ゼーマンのエネルギーより大きく確保する

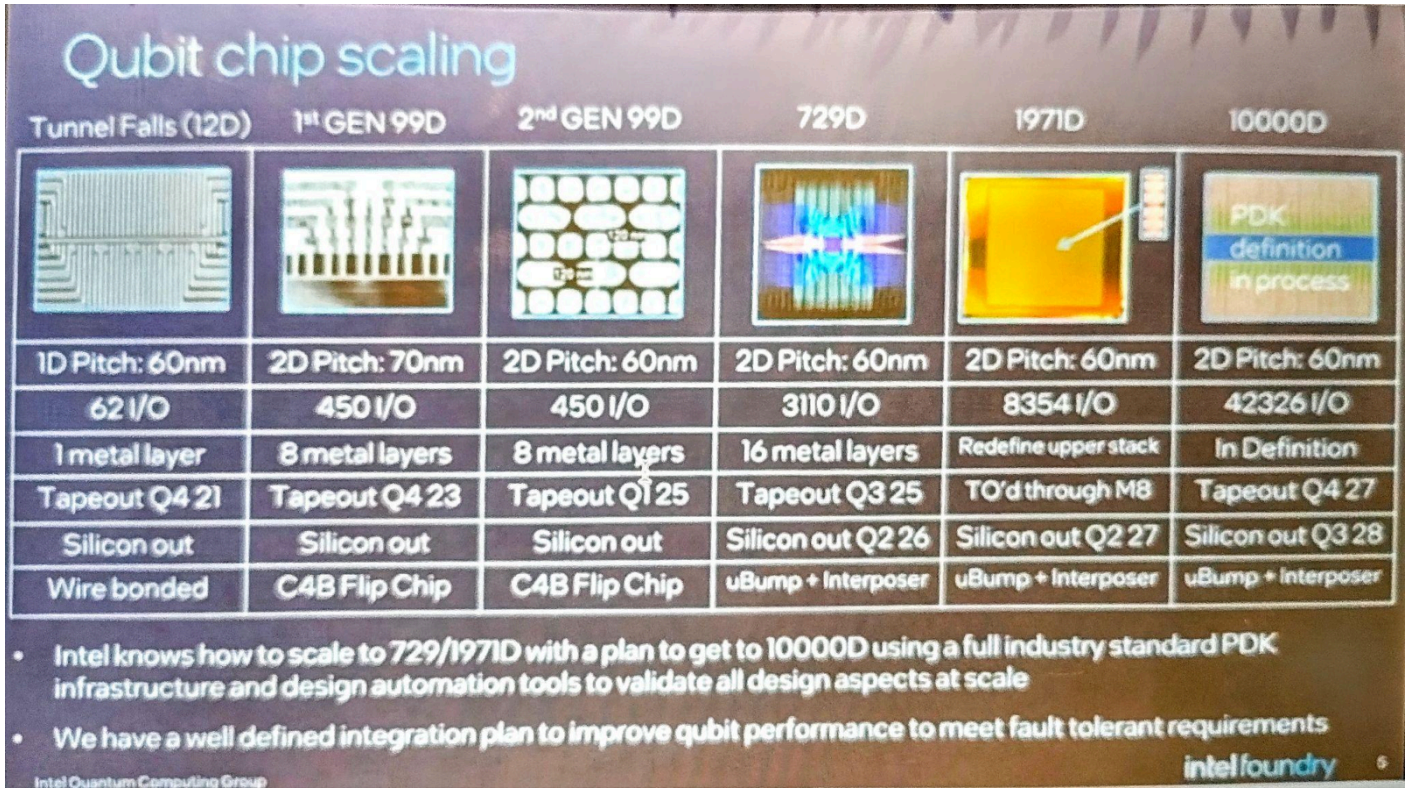
配線の引き出し

ドット1個にプランジャー＋障壁で電極が約2本 → **I/O がドット数の約4倍**（Intel の実測）。多層配線で垂直に引き出す

ピッチ 60nm・I/O 比・ヘテロ構造は R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05／バレー分裂・同位体純化の解説：G. Burkard, T. D. Ladd, A. Pan, J. M. Nichol, J. R. Petta, "Semiconductor spin qubits", Rev. Mod. Phys. 95, 025003 (2023)

Intel：量産プロセスで量子ドットを作る

事例 blueqat



Qubit chip scaling（Tunnel Falls 12D → 99D → 729D → 1971D → 10000D）

方針

"Copy Intel process and 18A interconnect modules… Design for Yield. **Minimize Inventions**"

PDK は通常の半導体と同じ構成

DRC／LVS／ERC／寄生抽出／自動配置配線。検証の基準は帯域 300MHz・クロストーク −75dB

低温での当日評価

1.6K のクライオプローバー。フィンガープリント歩留まり 90%超

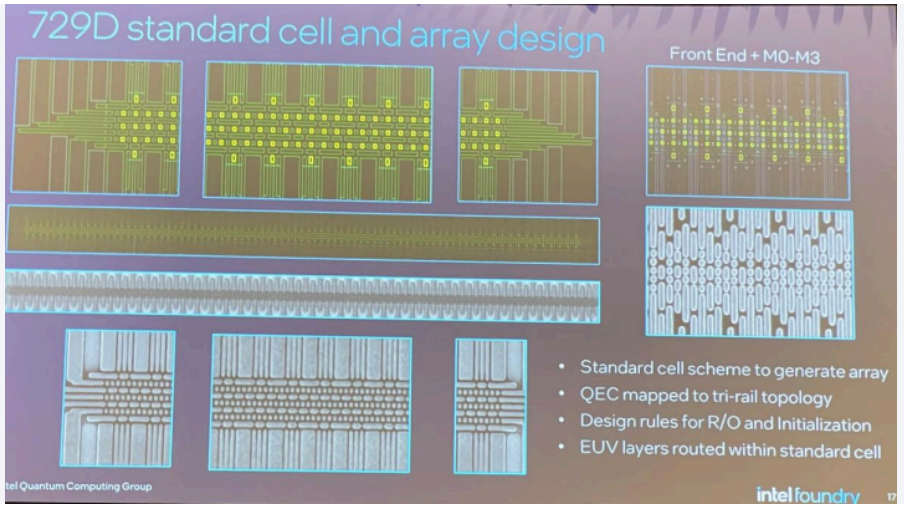
図：講演スライドより引用。出典：R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05

Intel：ドット数と I/O のロードマップ

事例 blueqat

ドットが増えるほど I/O は約4倍の比で増える。729ドットで I/O 3,110本。 設計と検証の自動化が前提です。

ドット数	量子ビット（÷3）	I/O 本数	時期
12	4	62	—
99	33	450	—
729	**243**	**3,110**	2026 Q2
1,971	657	8,354	2027
10,000	約3,300	42,326	2028



729D：スタンダードセルと配置配線で描いた 2D 配列

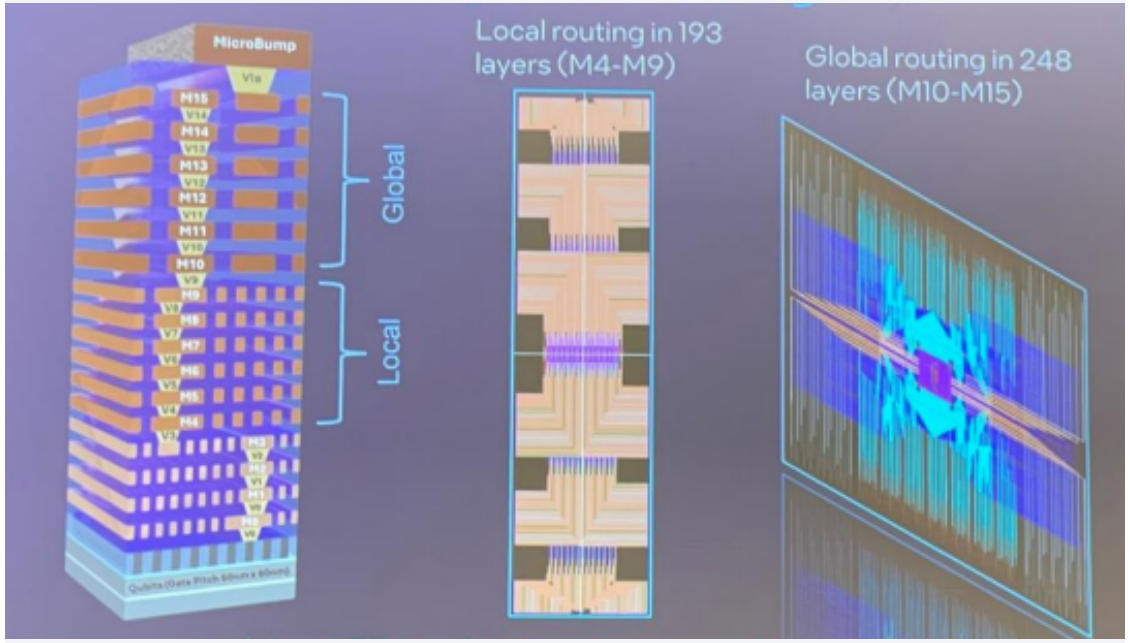
729 ÷ 3 = 243 は、d=11 の表面符号に要る 241 量子ビットにほぼ一致（当社の計算）

図と表の数値：R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05（時期は同講演のシリコンアウトの予定）。量子ビット数の列だけ、Exchange-only（3ドットで1量子ビット）として blueqat が計算

Intel：16層の配線と実装

事例 blueqat

表面の量子状態を乱さずに、数千本の信号を垂直に引き出す。 ここは先端ロジックの BEOL・パッケージそのものです。



M0–M3	スタンダードセル（EUV）
M4–M9	193nm
M10–M15	248nm
実装	ワイヤボンド → C4B フリップチップ → 8層インターポーザ＋µbump

検証の規模

729ドットのチップ全体で LVS と、I/O 3,110本すべてのクロストークマップ

図：講演スライドより引用。出典：R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05

ニュース：IBM が HRL を買収へ

超伝導の最大手が、Exchange-only の先頭を走る HRL を取りにいった。 シリコンスピンは「もう一つの本命」として扱われ始めています。

項目	内容
発表	2026年7月23日（IBM）
相手	HRL Laboratories（Boeing と GM の共同所有）
位置づけ	超伝導と並ぶ、誤り耐性へのもう一つの経路
製造	IBM が 2026年5月に設けた量子ウェーハのファウンドリ Anderon と、スピン量子ビットの製造で連携
完了予定	2026年第3四半期末（規制当局の承認などが条件）

IBM の言葉

"Superconducting qubits and spin qubits both leverage state-of-the-art silicon fabrication."

設計者にとっての意味

製造・制御回路・低温の技術を**超伝導とスピンで共有**する流れ。半導体の設計資産の出番が広がる

出典：IBM Newsroom, "IBM to Acquire HRL Laboratories to Power the Future of Quantum" (2026-07-23), newsroom.ibm.com/2026-07-23-ibm-to-acquire-hrl-laboratories-to-power-the-future-of-quantum。引用文は同リリースの原文

論理設計：量子回路と、古典の EDA の対応

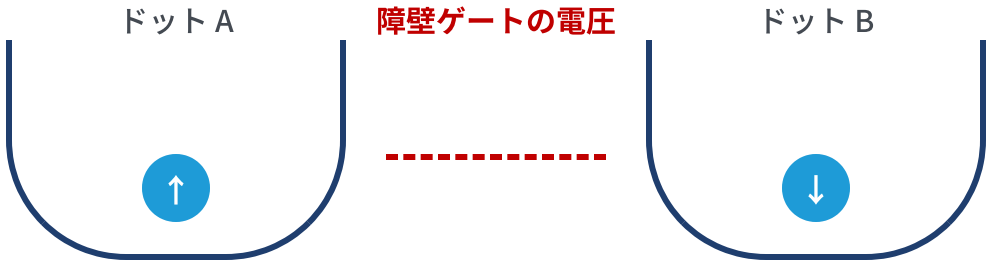
量子回路は「量子ビットに時間順に操作を並べ、最後に読み出す」もの。 コンパイラの仕事は論理合成・配置配線・タイミングの量子版です。

古典の EDA		Exchange-only の量子コンパイラ
HDL（RTL）	↔	量子回路（OpenQASM など）・ハミルトニアン
論理合成	↔	ゲート分解（CNOT＋回転）→ **交換パルス列**への展開
テクノロジーマッピング	↔	セルライブラリ ＝ 較正済みのパルス列（X は3本、CNOT は28本）
配置配線	↔	3ドットの論理量子ビットへの割り当て・**符号化 SWAP の経路**
タイミング（STA）	↔	パルスのスケジュール・並列化・クロストークの制約
面積・消費電力	↔	**パルスの総本数・時間**（＝誤りの量）

HRL の QPU では、利用者のプログラムを協調設計したコンパイラ（PulseScript）が機械語にする：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)

操作は1種類だけ：交換相互作用 J のオン・オフ

隣のドットとの障壁を電圧で下げると J がオンになり、2つのスピンが部分的に入れ替わる。 使える操作はこれだけです。



J をオンにした長さ θ で決まる「部分 SWAP」

$$U(\theta) = \cos\theta \cdot I + i \sin\theta \cdot SWAP$$

θ = π/2 で完全な SWAP

- **$H_{ex} = J(V)\, S_1 \cdot S_2$。J は障壁電圧に指数関数的に依存（Hubbard の描像で $J \approx 4t_c^2/U$）。対称動作点で電荷雑音の一次の影響を消す**
- **実測の目安：電圧振幅 約100mV、J/h 最大 約100MHz、パルス幅 約10ns、パルス間 5〜20ns。回転角は θ = J·t/h（パルスの面積）**
- **クロストークを避けるため、パルスは1本ずつ順番に打つ → 列の長さがゲート時間になる**

実測値（電圧・J/h・パルス幅・間隔）と部分 SWAP の式：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3。$J \approx 4t_c^2/U$ と対称動作点の解説：G. Burkard, T. D. Ladd, A. Pan, J. M. Nichol, J. R. Petta, "Semiconductor spin qubits", Rev. Mod. Phys. 95, 025003 (2023)

Exchange-only：3ドットで1量子ビット、軸は2本

3スピンの「組み方」に情報を載せる。
J_{12} は論理 Z 軸まわり、 J_{23} は Z から 120° 傾いた n 軸まわりの回転になります。



記号	意味
$\|S_{12}, S; m\rangle$	基底。S_{12} = 0 / 1 が論理の 0 / 1
S = 1/2	全スピン。3/2 に出るとリーク
m	ゲージ。計算に効かない

なぜ 8 = 4 + 2 + 2 か

3スピンは S = 3/2（4次元）と S = 1/2 が2組。$H = J_{12}\, S_1 \cdot S_2 + J_{23}\, S_2 \cdot S_3$ は S を保つので、理想では S = 1/2 から出ない。一様な磁場の揺らぎは S_{12} に効かない（decoherence-free subsystem）

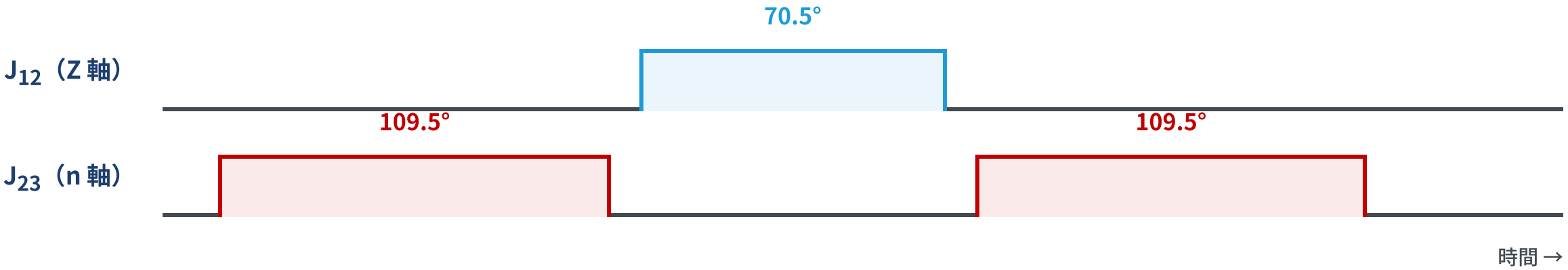
使える回転は2軸だけ

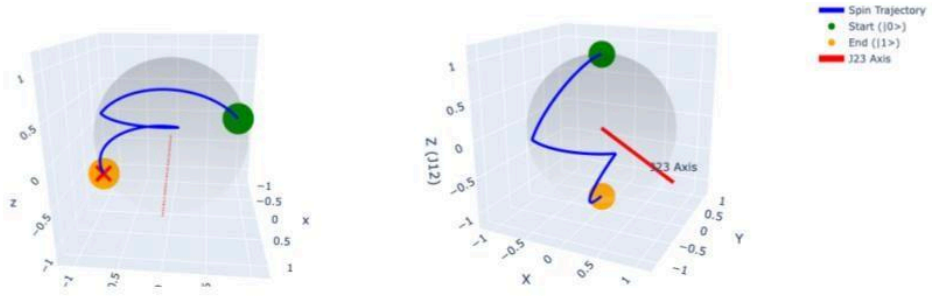
J_{12} は S_{12} の固有基底で位相 → Z 軸。J_{23} は S_{23} の固有基底 → Z から 120° の n 軸。**X 軸の回転は直接は無い** → 組み合わせて作る（次の3枚）

符号化と基底：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3（Methods）／Exchange-only の提案と1量子ビットゲートのパルス数：D. P. DiVincenzo, D. Bacon, J. Kempe, G. Burkard, K. B. Whaley, "Universal quantum computation with the exchange interaction", Nature 408, 339–342 (2000), doi:10.1038/35042541

論理 X ゲートは、交換パルス3本で作れる

$R_n(109.5°) \cdot R_z(70.5°) \cdot R_n(109.5°) = X$。 回転角はパルスの「長さ」で決まります。





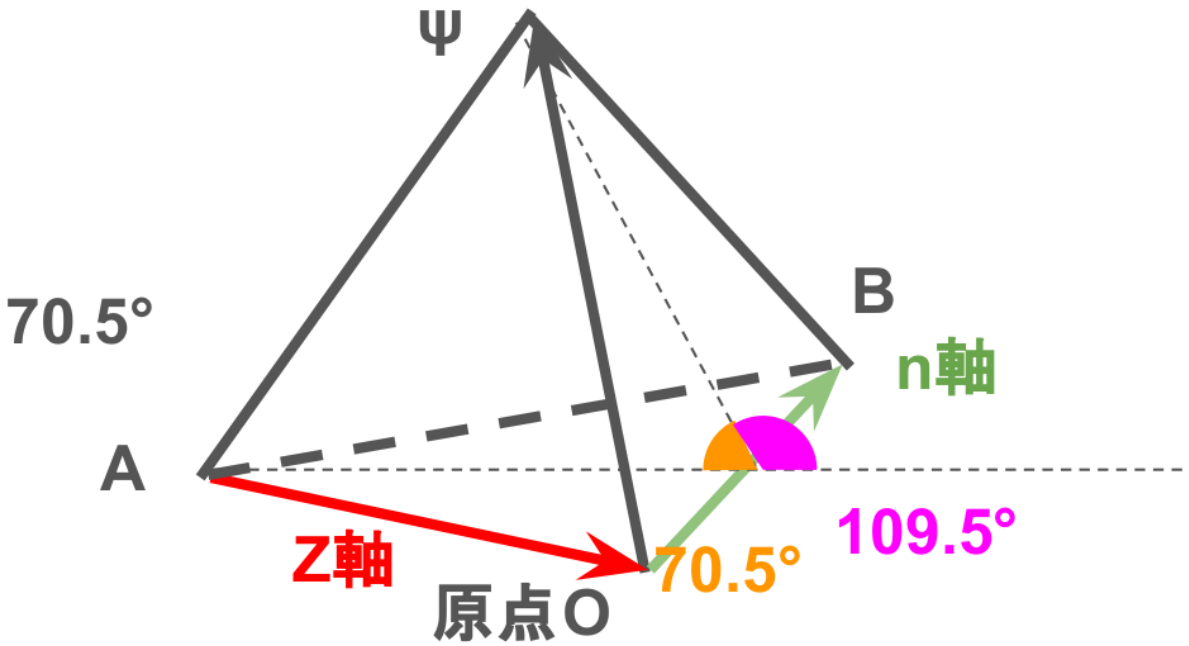
$R_n(109.5°) \cdot R_z(70.5°) \cdot R_n(109.5°) = X$。109.47° = arccos(−1/3)、70.53° はその補角。数値計算で**忠実度 1.000**。部分 SWAP の角 θ に対し論理の回転角は 2θ（完全 SWAP = Z ゲート）

H = Z125.3°·n109.5°·Z125.3°（3本）、$\sqrt{X}$ = n53.5°·Z48.2°·n53.5°、Y = Z180° ＋ X の3本。**任意の回転は 3〜4本**（付録②）

図：blueqat のシミュレーション（ブロッホ球上の軌跡）。角度は blueqat の数値計算（2026-09-26）。符号化の枠組みは上記 Weinstein et al. (2023) と DiVincenzo et al. (2000)

なぜこの角度か①：正四面体で考える

Z 軸と n 軸は 120°。**辺の長さ1の正四面体**を置くと、Z 軸・n 軸・X 軸の関係が幾何で見えます。



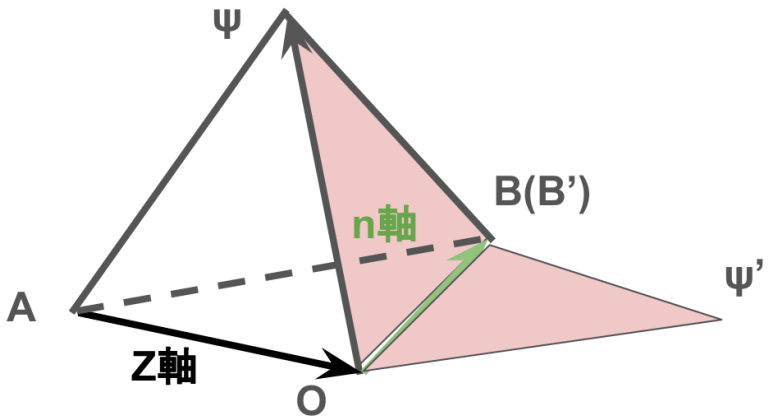
- 頂点の1つをブロッホ球の原点 O に置く
- 辺の1本を Z 軸、もう1本を n 軸にとる
- X 軸は n 軸から 30° の位置

正四面体の角度	値
正三角形の辺どうし	60°
面どうし（θ）	70.5°
その補角（π − θ）	109.5°

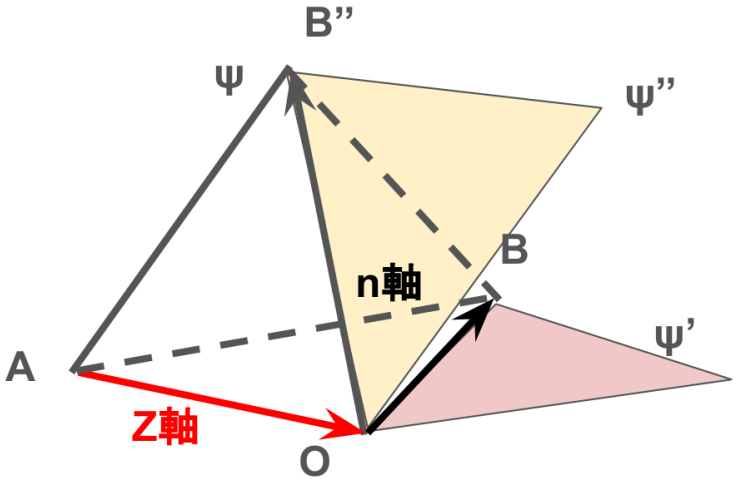
図：blueqat 作成（正四面体による X ゲートの導出）

なぜこの角度か②：回転3回で四面体を裏返す

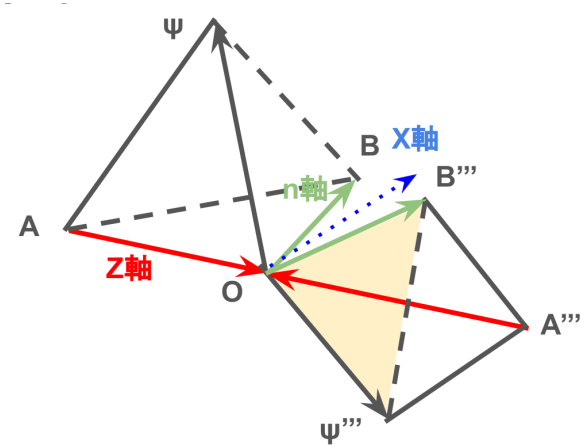
目標は、四面体を X 軸まわりに 180° 回した姿にすること。 Z 軸と n 軸まわりの回転3回だけで実現します。



① n 軸まわりに +109.5°



② Z 軸まわりに +70.5°



③ n 軸まわりに +109.5°

① 面 OBψ を面 OBA の平面に倒す

② 面 OBA が面 OψA に重なるまで回す

③ 同じ角度でもう一度。四面体が X 軸で反転（= X ゲート）

図：blueqat 作成。回転の向きは軸のベクトルの向きにそろえる

2量子ビットゲート：人手では設計できないパルス列

6ドットにまたがる交換パルスの列で CNOT を作る。20〜30本になり、 パルス列の探索と最適化は計算機の仕事です。

ゲート	交換パルスの本数
1量子ビットの任意の回転	3〜4本
CZ（Fong–Wandzura）	26本
CNOT（Fong–Wandzura）	**28本**
符号化 SWAP	15本
2量子ビット Clifford（平均）	41.1本

実測（2023）

CNOT 忠実度 96.3%、SWAP 99.3%、1量子ビット誤り 1.1×10^{-3}

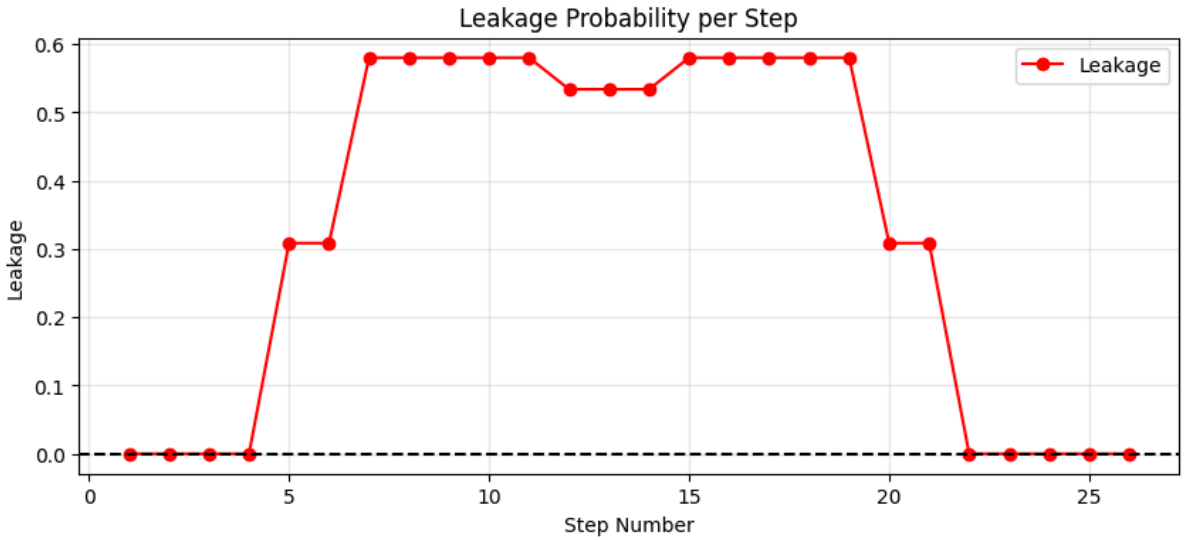
2026 の QPU と時間の目安

1量子ビット誤り 2×10^{-4}、CNOT 3×10^{-3}（最良 9×10^{-4}）。1本 約10ns＋間 5〜20ns → **CNOT 28本で 0.4〜0.8μs**（当社の試算）。T_2^* 3.5μs に対して短くない

パルス数と2023年の忠実度：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3／2026年の誤り：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)／CZ・CNOT の列の設計：C. M. Fong, S. M. Wandzura, "Universal quantum computation and leakage reduction in the 3-qubit decoherence free subsystem", Quantum Inf. Comput. 11, 1003–1018 (2011)／1量子ビットの本数：D. P. DiVincenzo, D. Bacon, J. Kempe, G. Burkard, K. B. Whaley, "Universal quantum computation with the exchange interaction", Nature 408, 339–342 (2000), doi:10.1038/35042541

パルス列の途中で起きる「リーク」を設計に入れる

2量子ビットのパルス列は、途中で符号化の部分空間の外（S = 3/2）を経由して戻ってくる。 列の途中で止めたり、ずれたりすると外に取り残されます。



CZ パルス列の各段での、部分空間の外にいる確率（シミュレーション）

- **列の最後で戻ってくれば正しい。途中の誤差は増幅されうる**
- **実機では、リークを検出して初期化する手順（21〜24パルス）を組み込む**

合成への要求

パルス数だけでなく**リークに強い並べ方**も費用関数に入れる

図：blueqat のシミュレーション（C. M. Fong, S. M. Wandzura, "Universal quantum computation and leakage reduction in the 3-qubit decoherence free subsystem", Quantum Inf. Comput. 11, 1003–1018 (2011) の CZ 列を計算）。リーク除去（LRU）の手順とパルス数：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)

時間発展を、回路とパルス列に落とす

物理・化学のシミュレーションは e^{-iHt} の計算。 これを段階的に分解して、交換パルスの列にします。

① ハミルトニアン
H をパウリ演算子の和に書く

→

② 積公式
Trotter 分解などで短い時間の積に

→

③ ゲート分解
各項を CNOT のはしご＋回転に

→

④ 交換パルス列
回転は Z・n の2軸に、CNOT は28本の列に

- **1次の Trotter：$e^{-iHt} \approx [\, e^{-iH_1 t/n} \cdots e^{-iH_K t/n} \,]^n$、誤差 $O(t^2/n)$。対称（2次）分解なら $O(t^3/n^2)$**
- **パウリ項 $e^{-i\theta P}$ は「基底変換 → CNOT のはしご → $R_Z(2\theta)$ → 戻す」。k 体の項で CNOT 2(k−1) 本＋R_Z 1本**
- **EO に直すと ZZ 項1つが 2×28＋1 = 57 パルス。R_Z は1本で済むので、回転を Z に寄せる書き換えが効く**

費用の式

費用 ≈ Σ（パルス本数）＋λ×実行時間。可換な項の並べ替え、隣り合う CNOT の打ち消し、Trotter の次数と n の選び方で桁が変わる

積公式：S. Lloyd, "Universal quantum simulators", Science 273, 1073 (1996)／パウリ項の CNOT はしご分解は標準的な手法（Nielsen & Chuang, Quantum Computation and Quantum Information, 2000）
パルス数：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3

配置・経路・スケジュール：最近接の制約を解く

ドットは隣としか結合できない。離れた量子ビットどうしの CNOT には符号化 SWAP で近づける経路が要ります。

初期配置

どの3ドットをどの論理量子ビットにするか。ドットの品質のばらつきも考える

経路

符号化 SWAP（15パルス）の挿入を最小に

層分け

同時に打てるゲートをまとめる

スケジュール

クロストークと制御線の数を制約に、並列に詰める

- **費用 = Σ ゲートのパルス本数 ＋ 15 × 符号化 SWAP の本数 ＋ λ × 深さ。配置配線の「配線長・遅延」にあたる**
- **制約：結合は最近接だけ・同時に打てるのは制御線とシーケンサーの数まで・クロストークする組は同時に打たない**
- **解き方は貪欲＋局所探索（配置配線の SABRE 型）と制約ソルバー（CP-SAT）。EDA の最適化技法がそのまま効く**

ハードとの協調

制御線の本数・シーケンサーの数が、同時に打てるパルスの上限になる → 次の「制御」の話へ

配置配線型のヒューリスティクス：G. Li, Y. Ding, Y. Xie, "Tackling the qubit mapping problem for NISQ-era quantum devices", ASPLOS 2019／符号化 SWAP のパルス数：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3／制御線・シーケンサーの制約：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)

配線爆発：制御回路をどこに置くか

blueqat

54ドット・最大18量子ビットの QPU で、制御信号はすでに 185本。 冷凍機の中に制御回路を入れるしか道がありません。

案1
室温
量子ビットの数だけ線を引き込む。**線の数と熱で行き詰まる**

案2
mK 段
量子ビットのすぐ横。使える冷却が極めて小さく、**電力の要求が厳しすぎる**

案3（HRL が採用）
4K 段
冷却の効率がよく、W 級の回路を置ける。配線のボトルネックも避けられる

- **内訳：時間変化する制御信号 150本＋静的なバイアス 35本**
- **4K → mK は Nb／ポリイミドのリボンケーブル（296本・幅約1cm）。クロストーク −80dB 以下（10GHz まで）、熱流入 10μW 未満**
- **マイクロ波を使わない EO だから、普通の配線とベースバンドの DAC で済む。往復の電気長は約3ns（4K ↔ mK）**

数値：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)

4K クライオCMOS：熱の予算の中で設計する

制御チップは130nm RF CMOS・約7,000万トランジスタ。 設計の制約は性能より先に「4K 段で捨てられる熱」です。

項目	値
プロセス・規模	130nm RF CMOS、約7,000万トランジスタ、21×19mm²
実装	C4 ピン 3,054本
消費電力	約2.8W（シーケンサー1個・250MHz 動作時）、上限 3.5W
4K 段の冷却	約6W。配線からの熱流入は 200mW 未満
mK 側	熱の総量 20μW 未満、混合室は 20mK 未満

設計の勘所

同時に動くシーケンサーの数＝電力＝並列度の三つどもえ。スケジュールの最適化と直結する

EDA に要るもの

4K でのトランジスタモデル、低温での配線の抵抗・容量、熱のシミュレーション

数値：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)

制御の命令セット（ISA）：パルスを「プログラム」する

ns のパルスを ps の刻みで、何百本も同時に。シーケンサー＋パターンメモリ＋専用 ISAを 4K に置き、 誤り訂正の帰還もここで回します。

室温
コンパイラ
プログラムと波形を書き込む

→

4K 制御チップ
シーケンサー 6個（250MHz）／命令 32bit・命令メモリ 6,144語
パターンメモリ 出力1本ごとに 512語（24bit）

→

mK
ドットの電極
交換パルスとバイアス

- **パルス幅 0.4〜6ns、刻み 1ps 以下。起動したら室温と通信せずに自律実行**
- **命令：step・pause・jump・loop・branch・スタック・外部トリガーでの分岐・シーケンサー間の割り込み**
- **分岐が要るのは、測定結果で次の操作を変えるため（リーク検出 → 初期化 21〜24パルス、シンドローム → 訂正）。1周 µs 級の中で判定を閉じる**

誤り訂正の到達点と課題

距離5の繰り返し符号で論理誤り率 5.0×10^{-3}。ただしデコードは簡単なパリティ検査で、**実時間デコードはこれから**

数値：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)（本文と補遺）

量子のための EDA／PDK に要るもの

道具立ての多くは既存の EDA。足りないのは、量子と低温に固有のモデル・検証・合成です。

層	既存の EDA で足りるもの	量子のために足すもの
素子・PDK	DRC・LVS・ERC・寄生抽出	ドット電位のシミュレーション、ばらつきと調整範囲のモデル
配線・実装	自動配置配線、SI 解析	数千本の I/O の**クロストークマップ**、低温の材料物性
制御回路	CMOS の設計フロー一式	**4K のデバイスモデル**、熱の予算での電力最適化
論理合成	最適化ソルバー・スケジューラ	交換パルスのライブラリ、**パルス数とリークを費用にした合成**
検証	STA・シミュレーション	量子の忠実度の見積もり、誤り訂正込みの性能評価

PDK の構成・検証基準・クロストークマップ：R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05／4K デバイスモデル・熱の予算：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)／交換パルスのライブラリ：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3

まとめ

- **設計：量産の工程と PDK がそのまま使える。足りないのは低温と量子のモデル、そして数千本の I/O の検証**
- **論理合成：Exchange-only は Z・n の2軸だけ。X は 109.5°・70.5°・109.5° の3本。性能はパルスの総本数で決まる**
- **制御：4K のクライオCMOS に ISA を載せ、熱の予算の中で帰還を閉じる**

量子コンピュータの次の10年は、EDA の技術者の出番です。

blueqat株式会社　info@blueqat.co.jp

APPENDIX

付録：詳細

付録①　EO の数理：3スピンの状態空間

3スピンの 8次元は、全スピン S で S = 3/2（4次元）と S = 1/2（2次元 × 2組）に分かれる。 論理量子ビットは S = 1/2 の側に置きます。

部分空間	次元	役割
$S = 3/2$	4	リーク空間。ここに出ると情報が壊れる
$S = 1/2, S_{12} = 0$	2（$m = \pm 1/2$）	**論理 $\|0\rangle$**。m はゲージ
$S = 1/2, S_{12} = 1$	2（$m = \pm 1/2$）	**論理 $\|1\rangle$**。m はゲージ

- **交換相互作用 $H = J_{12}\, S_1 \cdot S_2 + J_{23}\, S_2 \cdot S_3$ は全スピン S を保つ。理想では S = 1/2 から出ない（リークは不完全さで起きる）**
- **J_{12} のパルスは S_{12} の固有基底で位相をかける → 論理 Z 軸まわりの回転。J_{23} は S_{23} の固有基底 → Z から 120° の軸（n 軸）**

1パルス = 部分 SWAP

$U(\theta) = \cos\theta \cdot I + i \sin\theta \cdot \mathrm{SWAP}$。θ は J をオンにする時間で決まり、$\theta = \pi/2$ で完全な SWAP。論理空間では**回転角 2θ** になる

decoherence-free subsystem

全体に一様にかかる磁場の揺らぎは、S と m にしか効かず、S_{12} の情報を壊さない

基底と部分 SWAP の式：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3（Methods）／decoherence-free subsystem と2軸の回転：D. P. DiVincenzo, D. Bacon, J. Kempe, G. Burkard, K. B. Whaley, "Universal quantum computation with the exchange interaction", Nature 408, 339–342 (2000), doi:10.1038/35042541

付録②　主なゲートのパルス列

Z 軸と n 軸（120°）の回転だけで、任意の1量子ビットゲートは 3〜4本で作れます。 下の角度は当社が数値計算で求め、忠実度 1.000 を確かめたもの。

ゲート	パルス列（打つ順・論理の回転角）	本数
S（$Z^{1/2}$）	Z 90°	1
T（$Z^{1/4}$）	Z 45°	1
X	n 109.5° → Z 70.5° → n 109.5°	3
√X	n 53.5° → Z 48.2° → n 53.5°	3
H	Z 125.3° → n 109.5° → Z 125.3°	3
Y	Z 180° → n 109.5° → Z 70.5° → n 109.5°	4
任意の回転	2軸の交互（オイラー角の変形）	3〜4

109.5° と 70.5° の正体

109.47° = arccos(−1/3)（正四面体の中心角）。70.53° はその補角。本編15・16枚目の幾何と同じ

合成で効くこと

Z 回転は1本で済むので、**回路を Z 回転が多い形に書き換える**とパルスが減る。連続する Z 回転は1本にまとまる

角度は blueqat の数値計算（2026-09-28）。回転の向きを全部逆にしても同じゲート（X・H は自己随伴）。3〜4本で任意のゲートが作れること：D. P. DiVincenzo, D. Bacon, J. Kempe, G. Burkard, K. B. Whaley, "Universal quantum computation with the exchange interaction", Nature 408, 339–342 (2000), doi:10.1038/35042541

付録③　2量子ビット：Fong–Wandzura 列

6ドット（3＋3）にまたがる交換パルスの列。CZ が 26本、CNOT は CZ に 2本足した 28本です。

ゲート	パルス	忠実度（2023）	誤り（2026）
CZ（FW）	26	—	—
CNOT（FW-CZ ＋ 2）	28	96.3 ± 0.7%	3×10^{-3}（最良 9×10^{-4}）
符号化 SWAP	15	99.3 ± 0.5%	—
2量子ビット Clifford（平均）	41.1	97.1 ± 0.2%	—
1量子ビット	3〜4	誤り $(1.1\pm0.1)\times10^{-3}$	2×10^{-4}

時間の目安（当社の試算）

1本 約10ns＋間 5〜20ns → CNOT 28本で**およそ 0.4〜0.8µs**。2023年の T_2^* 約3.5µs に対して短くない

設計への含意

パルスは1本ずつ順に打つ（クロストーク回避）ので、**列の長さがそのままゲート時間**。合成でパルスを減らすことが忠実度に直結する

列の設計：C. M. Fong, S. M. Wandzura, "Universal quantum computation and leakage reduction in the 3-qubit decoherence free subsystem", Quantum Inf. Comput. 11, 1003–1018 (2011)／パルス数・2023年の値：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3／2026年の値：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)。時間の目安は Weinstein et al. のパルス幅・間隔から blueqat が計算

付録④　リークの実測と除去

誤りの大半は外因（制御・電荷雑音）で、量子ビット固有の雑音が CNOT の誤りに占める割合は 0.02%。 リークは検出して初期化する手順で戻します。

項目	値
1量子ビットゲートあたりのリーク（2023）	$(3 \pm 1) \times 10^{-4}$
1量子ビット誤り（2023 → 2026）	$(1.1 \pm 0.1) \times 10^{-3} \rightarrow 2 \times 10^{-4}$
CNOT 誤り（2026）	3×10^{-3}（最良ペア 9×10^{-4}）
量子ビット固有の雑音の寄与	CNOT 誤りの 0.02%
リーク除去（LRU）	初期化 ＋ Reset-If-Leaked。**21 または 24 パルス**

なぜ LRU が要るか

S = 3/2 に出た状態は、そのままでは戻らず、隣の量子ビットにも誤りを広げる。誤り訂正の周期ごとに掃き出す

合成への要求

LRU 自体が 20本超のパルス。**周期の中でどこに入れるか**もスケジューリングの対象

2023年の値：A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3／2026年の値と LRU：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)

付録⑤　誤り訂正の実測（2026 年の QPU）

距離を 3 から 5 に上げると論理誤り率が 4.7 倍下がる（$\Lambda_{5/3} = 4.7$）。 しきい値の内側にいることの、シリコンスピンでの実証です。

実験	構成	結果
繰り返し符号 d = 5	7量子ビット・200 ラウンド	論理誤り率 5.0×10^{-3}
繰り返し符号 d = 3	平均	2.3×10^{-2}　→ $\Lambda_{5/3} = 4.7$
[[4,2,2]] 符号	フラグ込みで 6量子ビット	事後選別あり F = 0.95／なし 0.59（約 77% を棄却）
デコード	素朴なパリティ検査	**実時間デコードの実証ではない**

制御の設計への含意

1周は μs 程度。**測定 → 判定 → 次の操作**を 4K 側で閉じる分岐・割り込みが、次に要る機能

Λ とは

距離を 2 増やしたときの論理誤り率の比。1 を超えていれば、量子ビットを足すほど良くなる

数値：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)

付録⑥　4K 制御チップの仕様

項目	値
プロセス・規模	130nm RF CMOS、約 7,000万トランジスタ、21 × 19 mm²、C4 ピン 3,054本
消費電力	約 2.8W（シーケンサー1個・250MHz・1量子ビット RB）、上限 3.5W
シーケンサー	6個、250MHz。起動後は室温と通信せず自律実行
命令	32bit。命令メモリ 6,144語（共有）
パターンメモリ	出力1本ごとに 512語（24bit）
命令の種類	step・pause・jump・loop・branch・スタック・外部トリガーでの分岐・シーケンサー間の割り込み
パルス	幅 0.4〜6ns、刻み 1ps 以下、立ち上がり 約150ps
DAC	ノイズ 10μV 未満、分解能 約 7μV
デジタル I/F	66本

EDA の視点

古い世代のプロセス（130nm）で、**4K で動くことが確かめられた設計**を選んでいる。低温のデバイスモデルが要る理由

電力の内訳

DAC とシーケンサーが大半。同時に動かすシーケンサーの数が、電力と並列度を同時に決める

数値：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)（本文と補遺）

付録⑦　熱と配線の予算

項目	値
4K 段で使える冷却	約 6W
配線からの熱流入（4K）	200mW 未満
制御チップの発熱	約 2.8W（上限 3.5W）
制御信号の本数	時間変化 150本 ＋ 静的バイアス 35本 ＝ 185本（54ドット・最大18量子ビット）
4K → mK のリボンケーブル	Nb／ポリイミド、296本、幅 約1cm・長さ 約6cm
同ケーブルのクロストーク	−80dB 以下（10GHz まで）
同ケーブルの熱流入	10μW 未満。mK 段の総量 20μW 未満、混合室 20mK 未満
往復の電気長	約 3ns
100mK 段の冷却（冷凍機の仕様）	約 1mW

桁で見る

4K は W、mK は μW。**6桁違う**。だから制御は 4K、量子ビットだけ mK

配線が持つ制約

296本の帯で 185本を運ぶ。量子ビットが増えると、**4K 側での多重化**が次の設計課題

数値：HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)。100mK 段の冷却は同論文が記す冷凍機の仕様

付録⑧　Intel 18A の PDK と評価の詳細

項目	内容
PDK の中身	DRC／LVS／ERC／寄生抽出／自動配置配線（通常の半導体と同じ構成）
検証の基準	帯域 300MHz、クロストーク −75dB
世代	第4世代を運用中、第5世代を策定中
全チップ検証	729ドットのチップで LVS と、I/O 3,110本すべてのクロストークマップ
配線層	M0–M3 スタンダードセル（EUV）／M4–M9 193nm／M10–M15 248nm
実装	ワイヤボンド → C4B フリップチップ → 8層インターポーザ＋μbump
低温評価	クライオプローバーで 1.6K・当日評価。フィンガープリント歩留まり 90% 超
コヒーレンス	T_2^* 約 25μs（^{29}Si 50ppm）
規模の計画	729D（2026 Q2）→ 1971D（2027）→ 10000D（2028）。729D は d = 11 の表面符号を想定

Design for Yield

"Minimize Inventions"。量子のための新発明を最小にし、量産の資産に乗せる方針

729 ÷ 3 = 243

Exchange-only なら 243 量子ビット。d = 11 の表面符号に要る 241 にほぼ一致（当社の計算）

数値と方針の引用：R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05

付録⑨　出典

略記	文献	本資料で使った内容
[N23]	A. J. Weinstein et al., "Universal logic with encoded spin qubits in silicon", Nature 615, 817–822 (2023), doi:10.1038/s41586-023-05777-3	EO の符号化、パルス数、2023年の忠実度、パルス幅・間隔（本編13・14・15・18〜21、付録①〜④）
[Q26]	HRL Quantum Team and Collaborators, "A digitally controlled silicon quantum processing unit", arXiv:2604.16216 (2026)	54ドット QPU、4K 制御チップ、ISA、熱・配線、誤り訂正の実測、LRU（本編12・18・19・21〜25、付録③〜⑦）
[APS]	R. Pillarisetty (Intel), "Device Integration and Process Design Kit based on Intel 18A Technology for Scaling Si/SiGe Spin Qubits", APS March Meeting 2026 (Session MAR-W05), summit.aps.org/smt/2026/events/MAR-W05	PDK、配線層、実装、ロードマップ、低温評価。図は講演スライドより引用（本編4・7〜10・25、付録⑧）
[DiV00]	D. P. DiVincenzo, D. Bacon, J. Kempe, G. Burkard, K. B. Whaley, "Universal quantum computation with the exchange interaction", Nature 408, 339–342 (2000), doi:10.1038/35042541	Exchange-only の提案、1量子ビットゲートのパルス数（本編5・14、付録①②）
[FW11]	C. M. Fong, S. M. Wandzura, "Universal quantum computation and leakage reduction in the 3-qubit decoherence free subsystem", Quantum Inf. Comput. 11, 1003–1018 (2011)	CZ・CNOT のパルス列の設計（本編18・19、付録③）
[LD98]	D. Loss, D. P. DiVincenzo, "Quantum computation with quantum dots", Phys. Rev. A 57, 120 (1998)	単一スピン量子ビットの提案（本編5）
[Petta05]	J. R. Petta et al., "Coherent manipulation of coupled electron spins in semiconductor quantum dots", Science 309, 2180 (2005)	シングレット・トリプレット量子ビット（本編5）
[RMP23]	G. Burkard, T. D. Ladd, A. Pan, J. M. Nichol, J. R. Petta, "Semiconductor spin qubits", Rev. Mod. Phys. 95, 025003 (2023)	量子ドットの物理の総説：電荷安定図・仮想ゲート・$J \approx 4t^2/U$・バレー分裂（本編6・7・13）
[Lloyd96]	S. Lloyd, "Universal quantum simulators", Science 273, 1073 (1996)	時間発展の積公式（本編20）
[SABRE]	G. Li, Y. Ding, Y. Xie, "Tackling the qubit mapping problem for NISQ-era quantum devices", ASPLOS 2019	配置配線型のヒューリスティクス（本編21）
[IBM]	IBM Newsroom, "IBM to Acquire HRL Laboratories to Power the Future of Quantum" (2026-07-23), newsroom.ibm.com/2026-07-23-ibm-to-acquire-hrl-laboratories-to-power-the-future-of-quantum	本編11のニュース。引用文は同リリースの原文

「blueqat の計算／試算／シミュレーション」と書いた値と図は、上の資料の数値をもとに blueqat が計算・作図したもの。それ以外の数値は原典の値をそのまま載せた。「講演スライドより引用」とある図は、その講演の資料に含まれる図。